

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **1021405**(43) Date of publication of application: **11.08.1**(51) Int. Cl. **G09G 3/28**(21) Application number: **09031348**(22) Date of filing: **30.01.1997**(71) Applicant: **PIONEER ELECTRON CORP**(72) Inventor: **AMAMIYA KIMIO
NOZU MITSUTAKA****(54) DRIVING METHOD FOR PLASMA DISPLAY
PANEL**

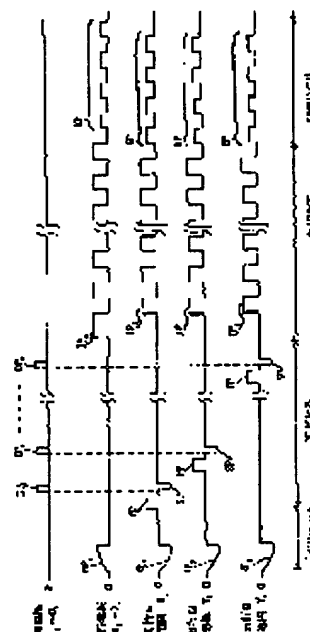
(57) Abstract:

PROBLEM TO BE SOLVED: To improve display characteristics by securely and uniformly erasing wall electric charges in a wall electric charge erasure period and preventing misdischarging.

SOLUTION: This driving method has row electrode couples coated with a dielectric layer and column electrodes which are arrayed crossing the row electrode couples to form pixels at respective intersection parts and makes a display by using an address period wherein a scanning pulse is applied to the row electrode couples and a pixel data pulse to the column electrodes to select illuminating and nonilluminating pixels according to pixel data, a maintained discharge period which maintains the illuminating and nonilluminating pixels by applying a discharge maintaining pulse to the row electrode couples alternately, and a wall charge erasure period wherein wall electric charges are erased by applying a wall charge erasure pulse to the row electrode couples. At this time, the wall charge erasing pulse includes a wall electric charge erasing

pulse train having a smaller voltage value than a charge maintaining pulse.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-214057

(43)公開日 平成10年(1998) 8月11日

(51)Int.Cl.⁶
G 0 9 G 3/28

識別記号

F I
G 0 9 G 3/28

H
E

審査請求 未請求 請求項の数 5 F D (全 11 頁)

(21)出願番号 特願平9-31348

(22)出願日 平成9年(1997) 1月30日

(71)出願人 000005016

パイオニア株式会社
東京都目黒区目黒1丁目4番1号

(72)発明者 雨宮 公男

山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社甲府プラズマパネルセンター内

(72)発明者 野津 光孝

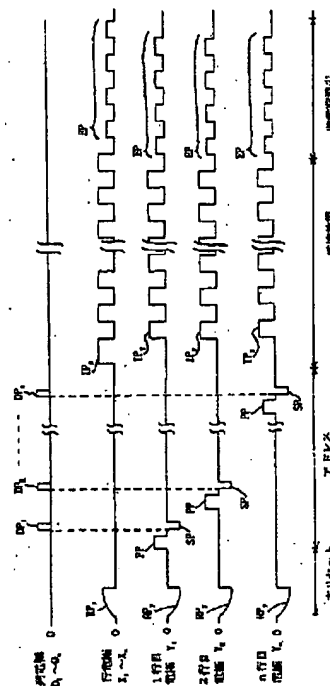
山梨県中巨摩郡田富町西花輪2680番地 パイオニア株式会社甲府プラズマパネルセンター内

(54)【発明の名称】 プラズマディスプレイパネルの駆動方法

(57)【要約】

【課題】 壁電荷消去期間における壁電荷の消去を確実にかつ均一に行い誤放電を防止し、表示特性を向上させることを目的とする。

【解決手段】 誘電体層で被覆された複数の行電極対と、行電極対に交差して配列され各交差部にて画素を形成する複数の列電極とを有し、行電極対に走査パルスを印加するとともに列電極に画素データパルスを印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に交互に放電維持パルスを印加して点灯及び消灯画素を維持する維持放電期間と、行電極対に壁電荷消去パルスを印加して壁電荷を消去する壁電荷消去期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、壁電荷消去パルスは、放電維持パルスの電圧値より低い電圧値を有する壁電荷消去パルス列を含むことを特徴とする。



【特許請求の範囲】

【請求項1】 誘電体層で被覆された複数の行電極対と、前記行電極対に交差して配列され各交差部に画素を形成する複数の列電極とを有し、前記行電極対に走査パルス印加するとともに前記列電極に画素データパルス印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、前記行電極対に交互に放電維持パルス印加して前記点灯及び消灯画素を維持する維持放電期間と、前記行電極対に壁電荷消去パルス印加して壁電荷を消去する壁電荷消去期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、前記壁電荷消去パルスは、前記放電維持パルスの電圧値より低い電圧値を有する壁電荷消去パルス列を含むことを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記行電極対は、表示面側の基板の内面に配置された透明電極と、前記透明電極に積層された金属電極とで構成され、前記誘電体層で被覆されているとともに前記列電極は、前記表示面側の基板と放電空間を介して対向配置された背面側の基板の内面に配置され、蛍光体層で被覆されていることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記壁電荷消去パルス列は、最小放電維持電圧未満の電圧値を有することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記壁電荷消去パルス列の電圧値は、徐々に減少して前記最小放電維持電圧未満の電圧値になることを特徴とする請求項2記載のプラズマディスプレイパネルの駆動方法。

【請求項5】 前記壁電荷消去パルス列は、前記放電維持パルスと同極性であり、前記壁電荷消去パルス列の印加終了後、前記行電極対に前記最小放電維持電圧以上の電圧値を有する1つの壁電荷消去パルス印加することを特徴とする請求項3又は4記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス表示方式の交流（AC）型のプラズマディスプレイパネル（PDP）の駆動方法に関する。

【0002】

【従来の技術】近年、表示装置の大型化に伴い、薄型の表示装置が要求され、各種の薄型の表示装置が提供されている。その1つにACPDが知られている。係るACPDは、列電極及び行電極と直交し一対にて1行（1走査ライン）を構成する行電極を備えており、これら列電極及び行電極対各々は放電空間に対して誘電体層で覆われており、列電極及び行電極対の各交点に放電セル（画素）が形成されている。尚、行電極は、透明電極とそれに積層されたバス電極とから構成されている。

【0003】図7は、係るACPDの従来の各種駆動パルスの印加タイミングを示す図である。図7において、まず、負極性のリセットパルス RP_x を全ての行電極 $X_1 \sim X_n$ に印加すると同時に、正極性のリセットパルス RP_y を全ての行電極 $Y_1 \sim Y_n$ の各々に印加する。かかるリセットパルスの印加により、全ての放電セルに放電が生じ、荷電粒子が発生し、放電終了後各放電セルに壁電荷が蓄積形成される（一斉リセット期間）。

【0004】次に、各行毎の画素データに対応した画素データパルス $DP_1 \sim DP_n$ を順次、列電極 $D_1 \sim D_m$ に印加する。この画素データパルス $DP_1 \sim DP_n$ 各々の印加タイミングに同期して走査パルス（選択消去パルス）SPを行電極 $Y_1 \sim Y_n$ へ順次印加して行く。

【0005】この際、かかる画素データパルスDP、及び走査パルスSPが各々列電極及び行電極に同時に印加された放電セル（消灯画素、消灯セル）にのみ放電が生じ上記一斉リセット期間にて形成された壁電荷が消去される。一方、走査パルスSPが印加されたものの画素データパルスDPが印加されない放電セル（点灯画素、点灯セル）では上記の如き放電は生じないので上記一斉リセット期間にて形成された壁電荷はそのまま残留する。このように各放電セルの壁電荷は、画素データに応じて選択的に消去され、点灯画素及び消灯画素が選択される（アドレス期間）。

【0006】次に、正極性の放電維持パルス IP_x を行電極 $X_1 \sim X_n$ の各々に印加するとともに放電維持パルス IP_x の印加タイミングとはずれたタイミングにて正極性の放電維持パルス IP_y を行電極 $Y_1 \sim Y_n$ の各々に印加する。このように放電維持パルス IP_x 、 IP_y を交互に行電極対に印加され、壁電荷が残留している放電セル（点灯画素、点灯セル）は放電発光を繰り返す一方壁電荷が消滅した放電セル（消灯画素、消灯セル）は放電発光しない（維持放電期間）。

【0007】次に、全ての行電極 $Y_1 \sim Y_n$ に一斉に消去パルスEPを印加して全放電セル（点灯セル）の壁電荷を消去する（壁電荷消去期間）。以上のように、一斉リセット期間、アドレス期間、維持放電期間、壁電荷消去期間を1つの表示サイクルとして、これを繰り返し行うことにより、画像表示が行われる。かかるPDPを階調表示させる方法の一つとして1フレーム（1フィールド）の表示期間を、Nビットの表示データの各ビット桁の重み付けに対応した時間だけ発光するN個のサブフレーム（サブフィールド）に分割して表示する方法（いわゆるサブフレーム法）がある。

【0008】

【発明が解決しようとする課題】ところで、上述のPDP駆動方法では、維持放電期間終了後、1つの消去パルス（細幅の消去パルス、あるいは太幅の消去パルス）を行電極対に一斉に印加して点灯セルの壁電荷を消去していた。

【0009】しかしながら、図8(a)に示すように、この消去すべき壁電荷は行電極上全体に分布しているので、1つの消去パルスを行電極対に一齐に印加しても図8(b)に示すように、点灯セルの壁電荷を確実に消去することは、困難であった。

【0010】すなわち、行電極長(奥行き)Lが長い場合、放電ギャップとは反対側(バス電極側)の壁電荷を消去できずに残留壁電荷を生じてしまう。列電極上の壁電荷も消去することが望ましいが、太幅の消去パルスを用いた場合には消去放電により、列電極にマイナスの電荷が形成され、また列電極の電極長が長い場合、行電極の場合と同様に列電極の放電ギャップとは反対側(外側)に残留壁電荷を生じてしまう。

【0011】これらの残留壁電荷は、次の表示期間(サブフレーム)でのアドレス期間に不要な放電(誤放電)を生じさせ、アドレスマージンを低下させる原因となる。また、この不要な放電は、コントラストを下げたり、セルを微細化する上での障害となる。

【0012】さらに、放電セル毎の特性のバラツキやパネル内の電圧降下などにより、パネル内で均一に壁電荷を消去することが困難であった。従って、次の表示期間(サブフレーム)での放電がセル毎にバラツキ、アドレスマージンを悪化させていた。

【0013】本発明は、上記の問題を解決するためになされたものであり、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行い誤放電を防止し、表示特性を向上させることを目的とする。

【0014】

【課題を解決するための手段】本発明による請求項1に記載のプラズマディスプレイパネルの駆動方法は、誘電体層で被覆された複数の行電極対と、行電極対に交差して配列され各交差部にて画素を形成する複数の列電極とを有し、行電極対に走査パルスを印加するとともに列電極に画素データパルスを印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に交互に放電維持パルスを印加して点灯及び消灯画素を維持する維持放電期間と、行電極対に壁電荷消去パルスを印加して壁電荷を消去する壁電荷消去期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、壁電荷消去パルスは、放電維持パルスの電圧値より低い電圧値を有する壁電荷消去パルス列を含むことを特徴とする。

【0015】また、請求項2に記載の発明は、請求項1に記載のプラズマディスプレイパネルの駆動方法であって、行電極対は、表示面側の基板の内面に配置された透明電極と、それに積層された金属電極とで構成され、誘電体層で被覆されているとともに列電極は、表示面側の基板と放電空間を介して対向配置された背面側の基板の内面に配置され、蛍光体層で被覆されていることを特徴とする請求項1記載のプラズマディスプレイパネルの駆

動方法。

【0016】また、請求項3に記載の発明は、請求項2記載のプラズマディスプレイパネルの駆動方法であって、壁電荷消去パルス列は、最小放電維持電圧未満の電圧値を有することを特徴とする。また、請求項4に記載の発明は、請求項2記載のプラズマディスプレイパネルの駆動方法であって、壁電荷消去パルス列の電圧値は、徐々に減少して最小放電維持電圧未満の電圧値になることを特徴とする。

【0017】また、請求項5に記載の発明は、請求項3又は4記載のプラズマディスプレイパネルの駆動方法であって、壁電荷消去パルス列は、放電維持パルスと同極性であり、壁電荷消去パルス列の印加終了後、行電極対に最小放電維持電圧以上の電圧値を有する1つの壁電荷消去パルスを印加することを特徴とする。

【0018】

【作用】本発明によれば、プラズマディスプレイパネルの駆動方法において、壁電荷消去パルスを、放電維持パルスの電圧値より低い電圧値を有する壁電荷消去パルス列を含むようにしたので、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行うことができる。

【0019】また、壁電荷消去パルスを、放電維持パルスの電圧値より低い電圧値を有する壁電荷消去パルス列を含むように構成し、行電極対は、表示面側の基板の内面に配置された透明電極と、それに積層された金属電極とで構成され、誘電体層で被覆されているとともに列電極は、表示面側の基板と放電空間を介して対向配置された背面側の基板の内面に配置され、蛍光体層で被覆されているように構成したので、通常用いられるプラズマディスプレイパネルにおいても壁電荷消去期間における壁電荷の消去を確実にかつ均一に行うことができる。

【0020】また、壁電荷消去パルス列は、最小放電維持電圧未満の電圧値を有するように構成したので、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行うことができる。また、壁電荷消去パルス列の電圧値は、徐々に減少して最小放電維持電圧未満の電圧値になるように構成したので、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行うことができる。

【0021】また、壁電荷消去パルス列は、放電維持パルスと同極性であり、壁電荷消去パルス列の印加終了後、行電極対に最小放電維持電圧以上の電圧値を有する1つの壁電荷消去パルスを印加するように構成したので、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行うことができる。

【0022】

【発明の実施の形態】図1は、本発明の一実施形態におけるプラズマディスプレイパネルの駆動方法で駆動される3電極構造の反射型AC-PDPの構造を示す図である。

【0023】図1に示されるように放電空間7を介して

対向配置された一対のガラス基板1、2の表示面側のガラス基板1の内面に互いに平行に隣接配置された一対の行電極(維持電極)X、Y、行電極X、Yを覆う壁電荷形成用の誘電体層5、誘電体層5を覆うMgOからなる保護層6がそれぞれ設けられている。

【0024】尚、行電極X、Yは、それぞれ幅の広い帯状の透明導電膜からなる透明電極4とその導電性を補うために積層された幅の狭い帯状の金属膜からなるバス電極(金属電極)3とから構成されている。

【0025】一方、背面側のガラス基板2の内面上に行電極X、Yと交差する方向に設けられ、放電空間7を区画する障壁10、各障壁10間のガラス基板2上行電極X、Yと交差する方向に配列された列電極(アドレス電極)D、及び各列電極、障壁10の側面を覆う所定の発光色の蛍光体層8がそれぞれ設けられている。そして、放電空間7にはネオンに少量のキセノンを混合した放電ガスが封入されている。上記の列電極及び行電極対の各交点において放電セル(画素)が形成される。

【0026】次に図1のPDPを使用して行われる本発明によるプラズマディスプレイパネルの駆動方法について説明する。図2は、本発明の駆動方法の第1の実施形態にてパネル駆動を行う際にPDP11に印加される各種駆動パルスの印加タイミングを示す図である。

【0027】図2において、先ず、図示しない行電極駆動パルス発生回路から、立ち上がり時間の長い(長時定数)パルス正電圧のリセットパルス RP_x を全ての行電極 $X_1 \sim X_n$ に印加すると同時に、正電圧の場合と同様に負電圧のリセットパルス RP_y を行電極 $Y_1 \sim Y_n$ の各々に印加する。各行電極対間に印加された正電位と負電位とにて生成される電位差が放電開始電圧を越えると、PDP11の全ての行電極対間に放電が励起されて、全画素セルの放電空間内に荷電粒子が発生する。リセットパルス RP_x 、 RP_y の印加による放電の終息後、全画素セルの誘電体層には一様に所定量の壁電荷が形成される(一斉リセット期間)。

【0028】次に、図示しない画素データパルス発生回路から、各行毎の画素データに対応した正電圧の画素データパルス $DP_1 \sim DP_n$ を順次、列電極 $D_1 \sim D_n$ に印加する。この際、上記画素データパルス $DP_1 \sim DP_n$ の各印加タイミングに同期して、小なるパルス幅の走査パルスSPを行電極 $Y_1 \sim Y_n$ へ順次印加する。ここで、かかる走査パルスSPを各行電極 $Y_1 \sim Y_n$ の各々に印加する直前に、図2にて示されるが如き正電圧のプライミングパルスPPを行電極 $Y_1 \sim Y_n$ 各々に印加する。かかるプライミングパルスPPの印加により、上記一斉リセットにて得られ、時間経過と共に減少してしまったプライミング粒子が、放電空間内に再形成される。よって、放電空間内に所望量のプライミング粒子が存在する内に、上記走査パルスSPの印加による画素データ書き込みが試されるのである。

【0029】例えば、画素データの内容が論理「0」である場合には、走査パルスSPと共に画素データパルスDPが同時に印加されるので、画素セル内部に形成されている壁電荷は消滅する。一方、画素データの内容が論理「1」である場合には、走査パルスSPのみが印加されるので放電が生じず、その画素セル内部に形成されている壁電荷はそのまま保持される。つまり、かかる走査パルスSPとは、画素セル内に形成されている壁電荷を画素データに応じて選択的に消去せしめるためのトリガとなる選択消去パルスとも言えるのである(画素データ書き込み期間)。

【0030】次に、正電圧の放電維持パルス IP_x を行電極 $X_1 \sim X_n$ の夫々に印加する。次に、かかる放電維持パルス IP_x の印加タイミングとは、ずれたタイミングにて正電圧の放電維持パルス IP_y を行電極 $Y_1 \sim Y_n$ の夫々に印加する。かかる放電維持パルスが連続して夫々の行電極X、Yに交互に印加されている期間にわたり、上記壁電荷が残留したままとなっている画素セルのみが放電発光を維持する(維持放電期間)。尚、この維持放電行程において、最初に、即ち第1番目に行電極に印加される放電維持パルス IP_y 、 IP_x ・・・に比してパルス幅を長めに設定してある。この理由を以下に説明する。

【0031】放電が生じると、放電空間内にプライミング粒子が発生するが時間が経過するとともに減少していく。プライミング粒子の数が減少するほどパルスの印加から最初の放電が生じるまでの時間(放電形成遅れ時間)及び各画素セルの放電開始時間のバラツキ(放電統計遅れ時間)が増大する。すると、維持放電期間の最初に印加される放電維持パルスで放電が生じなくなり、それ以降印加される放電維持パルスによって放電しない可能性が高くなる。そこで、最初に印加される放電維持パルスのパルス幅をそれ以降印加される放電維持パルスより長く、即ち、放電形成遅れ時間、放電統計遅れ時間及び放電そのものに必要な時間の総和より長くすることにより、最初に印加される放電維持パルスで確実に放電を生じさせることが可能となる。

【0032】次に、消去パルスEPを放電維持パルスの電圧値より低い電圧値、すなわち最小放電維持電圧 V_{sm} 未満の電圧値を有する複数の壁電荷消去パルス(壁電荷消去パルス列)を行電極 $X_1 \sim X_n$ 、 $Y_1 \sim Y_n$ の夫々に印加することにより、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 上に形成された壁電荷を消滅させ、点灯及び消灯画素セルでの壁電荷の状態を略均一にする(壁電荷消去期間)。

【0033】以上の如く、かかるプラズマディスプレイパネルの駆動方法においては、全行電極に一斉に、立ち上がりが緩やかな波形を有するリセットパルスを印加して一斉リセットを実行し、維持放電行程においては第1番目に行電極に印加する放電維持パルスのパルス幅を長

く設定することによって、パネルを発光表示するようにしている。

【0034】以上述べたように本発明では壁電荷消去期間において、放電維持パルスの電圧値より低い電圧値、すなわち最小放電維持電圧 V_{sm} 未満の電圧値を有する複数の壁電荷消去パルス（壁電荷消去パルス列）を行電極対 X 、 Y に交互に印加することを特徴としている。

【0035】ここで、最小放電維持電圧 V_{sm} とは、放電を維持し続けるための最小電圧であり、この値未満の電圧値を有するパルスであるとパルスを印加し続けても放電がしばらく続くものの徐々に弱くなって、最終的には放電が停止してしまう。

【0036】このように、壁電荷消去期間において、壁電荷消去パルスとして放電維持パルスの電圧値より低い電圧値、すなわち最小放電維持電圧 V_{sm} 未満の電圧値を有する複数の壁電荷消去パルス（壁電荷消去パルス列）を用いることにより、行電極全体に分布している壁電荷は、放電する毎に密度が減少し、その分布も放電ギャップ近傍に偏ってくる。

【0037】列電極側の壁電荷も行電極側と同様に密度が減少し、その分布も行電極間の放電ギャップに対向する領域に偏ってくる。この結果、図3に示すように、壁電荷消去パルス列を印加している途中で放電が停止したときには、行電極及び列電極上の壁電荷は、放電ギャップ近傍に僅かに残っているだけになる。従って、次のサブフレームに移行したとき余計な壁電荷がないため、誤放電を生じることではなく、アドレスマージンやコントラストが悪化することはない。

【0038】また、壁電荷消去期間において、壁電荷消去パルスとして放電維持パルスの電圧値より低い電圧値、すなわち最小放電維持電圧 V_{sm} 未満の電圧値を有する複数の壁電荷消去パルス（壁電荷消去パルス列）を用いることにより、壁電荷の消去（減少）が個々の放電セルの放電特性に応じて自動的に（自発的に）行われるため放電セル毎の放電特性がばらついていても安定して消去動作が可能になる。

【0039】また、放電を維持できなくなるまで壁電荷が自動的に減少していくので残留壁電荷も非常に少なくできる。さらに、アドレス期間において、隣接する行電極対間（バス電極間）、すなわち走査ライン間での不要な放電（放電セルの干渉）を防止でき、セルの縮小や走査ラインピッチの縮小による高精細化が可能となる。

【0040】図4は、本発明の駆動方法の第2の実施形態にてパネル駆動を行う際にPDPに印加される各種駆動パルスの印加タイミングを示す図である。

【0041】図2の駆動方法と異なる点は、壁電荷消去期間において、壁電荷消去パルスとして放電維持パルスの電圧値より低い電圧値、すなわち最小放電維持電圧 V_{sm} 未満の電圧値を有する複数の壁電荷消去パルス（壁電荷消去パルス列）を用いる際、壁電荷消去パルス列の

電圧値を徐々に減少して最小放電維持電圧未満の電圧値にしている点である。この場合も、上記第1の実施形態と同様な作用、効果を奏する。

【0042】図5は、本発明の駆動方法の第3の実施形態にてパネル駆動を行う際にPDPに印加される各種駆動パルスの印加タイミングを示す図である。

【0043】図2の駆動方法と異なる点は、壁電荷消去期間において、壁電荷消去パルスとして放電維持パルスの電圧値より低い電圧値、すなわち最小放電維持電圧 V_{sm} 未満の電圧値を有しかつ放電維持パルスと同極性である複数の壁電荷消去パルス（壁電荷消去パルス列）の印加終了後、行電極対に最小放電維持電圧以上の電圧値を有する1つの壁電荷消去パルスを行電極対に印加している点である。この場合も、上記第1の実施形態と同様な作用、効果を奏する。

【0044】図6は、本発明の駆動方法の第4の実施形態にてパネル駆動を行う際にPDPに印加される各種駆動パルスの印加タイミングを示す図である。

【0045】図4の駆動方法と異なる点は、壁電荷消去期間において、電圧値を徐々に減少して最小放電維持電圧未満の電圧値にした壁電荷消去パルス列の印加終了後、行電極対に最小放電維持電圧以上の電圧値を有する1つの壁電荷消去パルスを行電極対に印加している点である。この場合も、上記第1の実施形態と同様な作用、効果を奏する。上記第3及び第4の実施形態では、壁電荷消去パルス列の終了後、行電極対の一方（ Y 電極）に一齐に放電維持パルスとは逆極性の1つの細幅の壁電荷消去パルスを印加する例を示したが、これに限らず、行電極対の他方（ X 電極）に一齐に放電維持パルスと同極性の1つの壁電荷消去パルスを印加するようにしても良い。尚、上記1つの壁電荷消去パルスは、最小放電維持電圧以上の電圧値を有するものである。

【0046】

【発明の効果】上述したように、本発明によるPDPの駆動装置においては、壁電荷消去期間において、放電維持パルスの電圧値より低い電圧値、すなわち最小放電維持電圧 V_{sm} 未満の電圧値を有する複数の壁電荷消去パルス（壁電荷消去パルス列）を行電極対 X 、 Y に交互に印加することを特徴としている。このように本発明によれば、プラズマディスプレイパネルの駆動方法において、壁電荷消去パルスを、放電維持パルスの電圧値より低い電圧値を有する壁電荷消去パルス列を含むようにしたので、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行い誤放電を防止し、表示特性を向上させることができる。

【0047】また、壁電荷消去パルスを、放電維持パルスの電圧値より低い電圧値を有する壁電荷消去パルス列を含むように構成し、行電極対は、表示面側の基板の内面に配置された透明電極と、それに積層された金属電極とで構成され、誘電体層で被覆されているとともに列電

極は、表示面側の基板と放電空間を介して対向配置された背面側の基板の内面に配置され、蛍光体層で被覆されているように構成したので、通常用いられるプラズマディスプレイパネルにおいても壁電荷消去期間における壁電荷の消去を確実にかつ均一に行い誤放電を防止し、表示特性を向上させることができる。

【0048】また、行電極対は、表示面側の基板の内面に配置された透明電極と、それに積層された金属電極とで構成され、誘電体層で被覆されているとともに列電極は、表示面側の基板と放電空間を介して対向配置された背面側の基板の内面に配置され、蛍光体層で被覆されているように構成したので、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行い誤放電を防止し、表示特性を向上させることができる。

【0049】また、壁電荷消去パルス列は、最小放電維持電圧未満の電圧値を有するように構成したので、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行い誤放電を防止し、表示特性を向上させることができる。また、壁電荷消去パルス列の電圧値は、徐々に減少して最小放電維持電圧未満の電圧値になるように構成したので、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行い誤放電を防止し、表示特性を向上させることができる。

【0050】また、壁電荷消去パルス列は、放電維持パルスと同極性であり、壁電荷消去パルス列の印加終了後、行電極対に最小放電維持電圧以上の電圧値を有する1つの壁電荷消去パルスを印加するように構成したので、壁電荷消去期間における壁電荷の消去を確実にかつ均一に行い誤放電を防止し、表示特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態におけるプラズマディスプレイ

レイパネルの駆動装置で駆動される3電極構造の反射型AC-PDPの構造を示す図である。

【図2】本発明による駆動方法の実施形態にてパネル駆動を行う際にPDPに印加される各種駆動パルスの印加タイミングを示す図である。

【図3】本発明によるPDP内の壁電荷の消去状態を示す図である。

【図4】本発明による駆動方法の第2の実施形態でのPDPに印加される各種駆動パルスの印加タイミングを示す図である。

【図5】本発明による駆動方法の第3の実施形態でのPDPに印加される各種駆動パルスの印加タイミングを示す図である。

【図6】本発明による駆動方法の第4の実施形態でのPDPに印加される各種駆動パルスの印加タイミングを示す図である。

【図7】従来のPDPの各種駆動パルスの印加タイミングを示す図である。

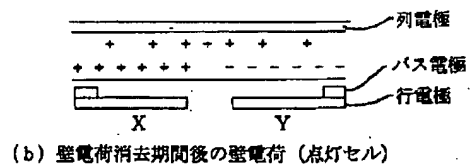
【図8】従来のPDP内の壁電荷の消去状態を示す図である。

【符号の説明】

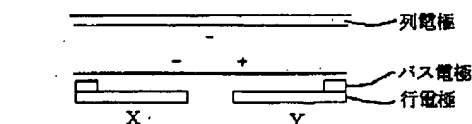
- 1, 2 ガラス基板
- 3 バス電極（金属電極）
- 4 透明電極
- 5 誘電体層
- 6 保護層
- 7 放電空間
- 8 蛍光体層
- 10 障壁
- 11 PDP
- X, Y 行電極（維持電極）
- D 列電極（アドレス電極）

【図3】

(a) 壁電荷消去期間直前の壁電荷（点灯セル）

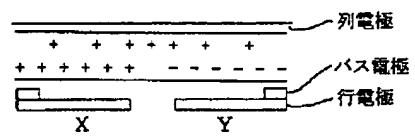


(b) 壁電荷消去期間後の壁電荷（点灯セル）

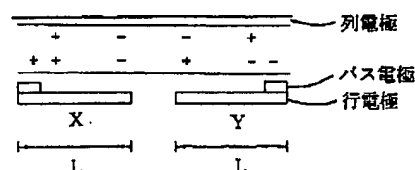


【図8】

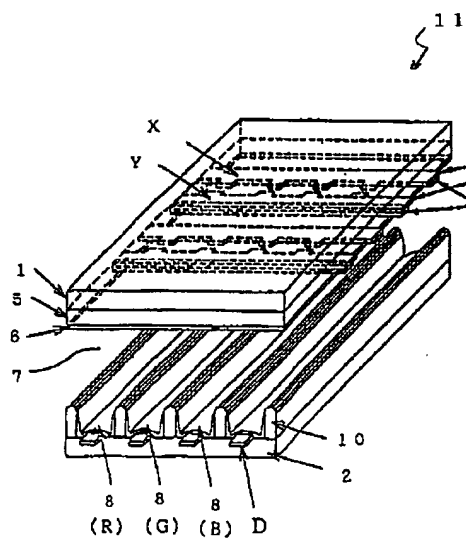
(a) 壁電荷消去期間直前の壁電荷（点灯セル）



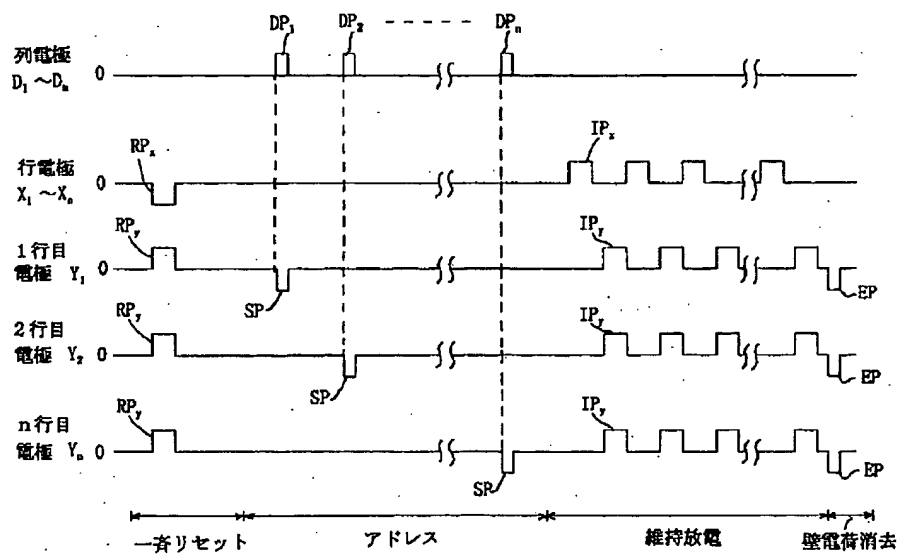
(b) 壁電荷消去期間後の壁電荷（点灯セル）



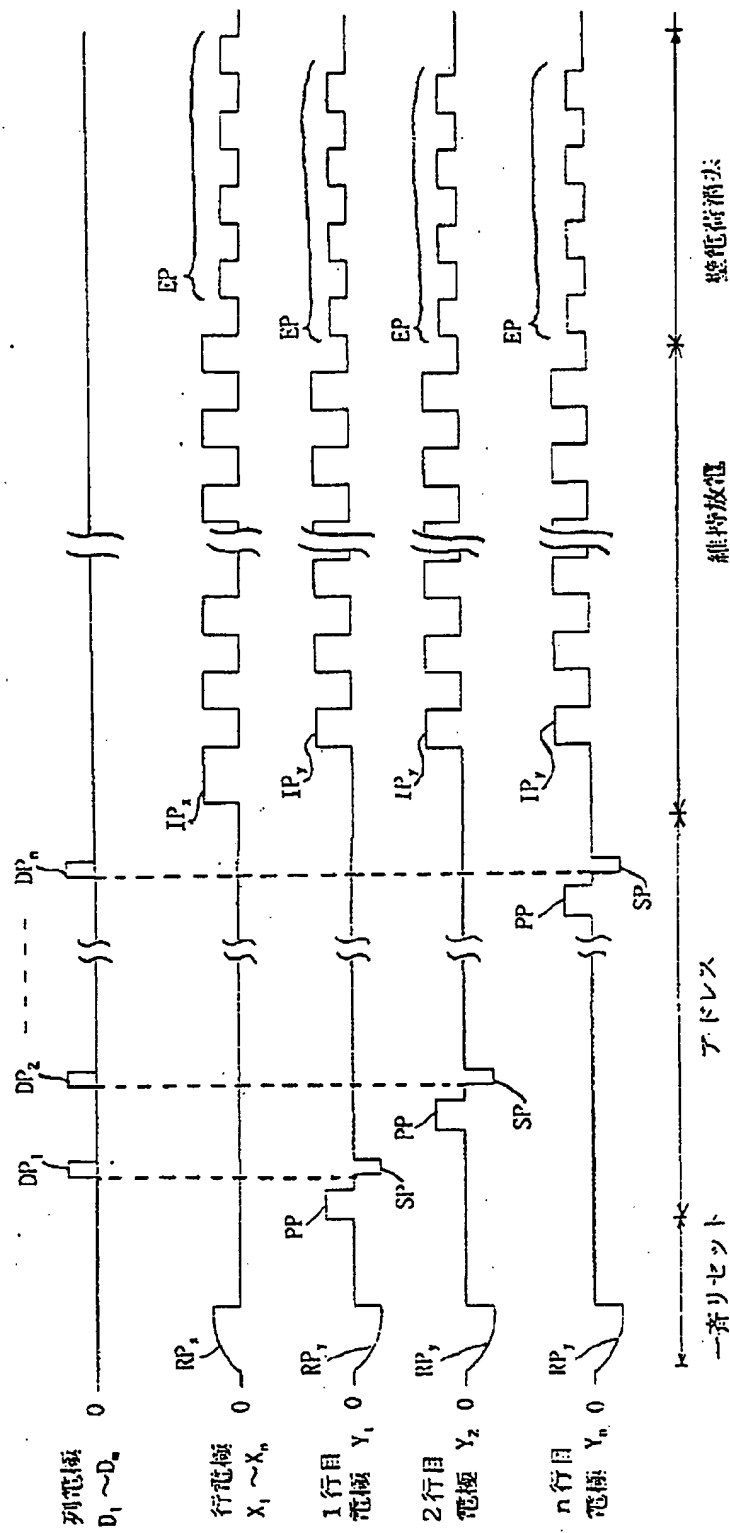
【図1】



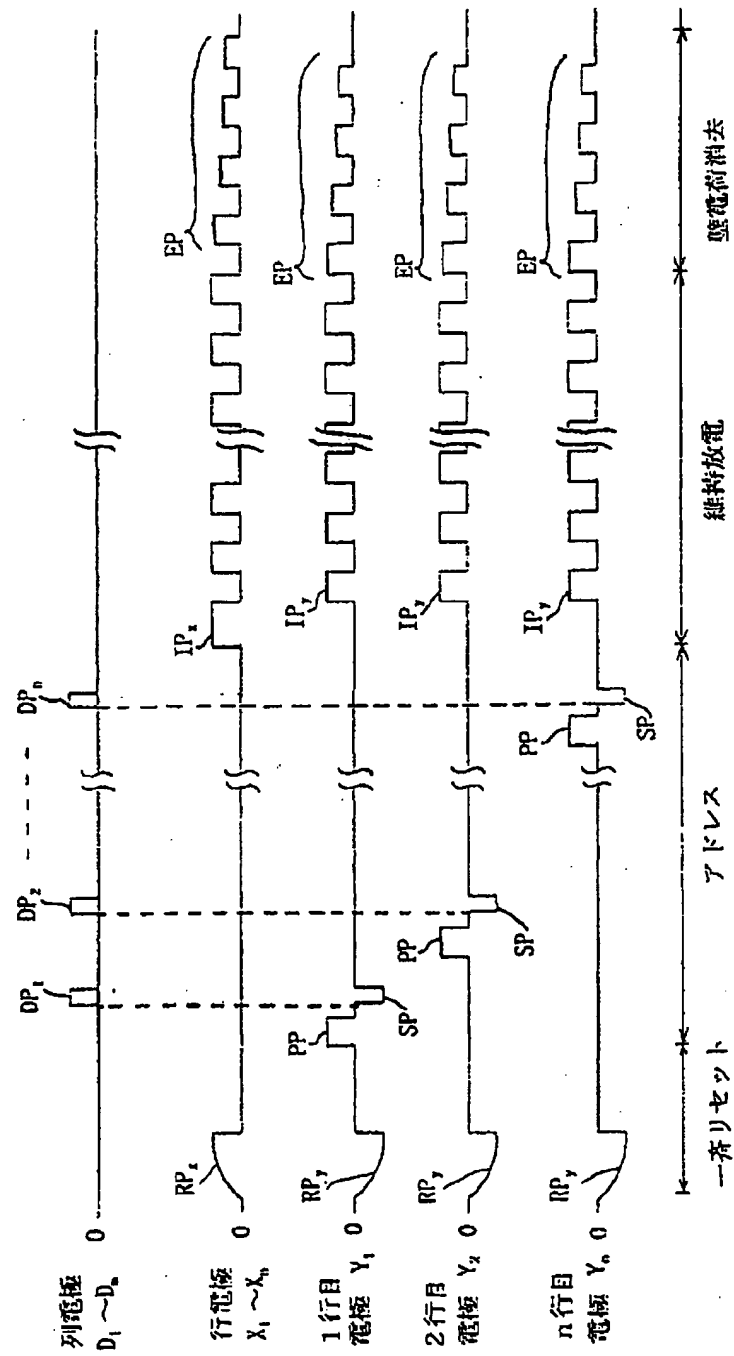
【図7】



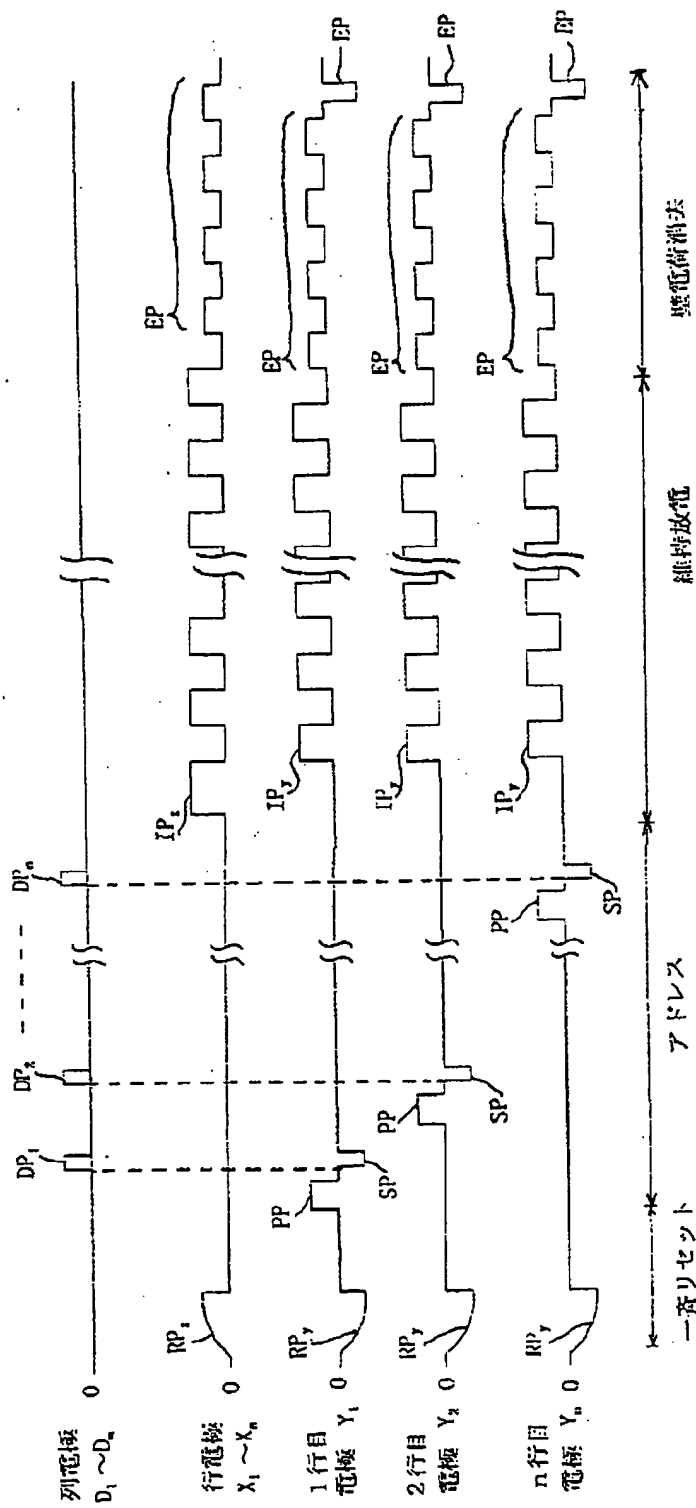
【図2】



【図4】



【図5】



【図6】

